

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-163182

(43)Date of publication of application : 20.06.1997

(51)Int.CI.

H04N 5/073

H04N 5/93

H04N 7/32

(21)Application number : 07-321562

(71)Applicant : HITACHI DENSHI LTD

(22)Date of filing : 11.12.1995

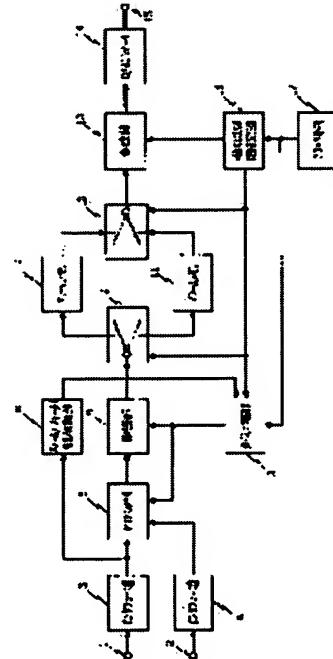
(72)Inventor : KOKURYO GARO
KOYAMA TAKAAKI
IWASAKI YOSHIO

(54) FRAME SYNCHRONIZATION SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To realize the frame synchronization system for data transmission in which a new video image and an old video image are both in existence on a screen, a large capacity memory is not required and any complicated control method is not needed.

SOLUTION: A memory 5 is provided to a pre-stage of a receiver side data expansion section 7 in the device where a digitized video signal is compressed and transmitted, data transmitted for one frame or one field or over are stored in the memory 5 synchronously with a transmission rate and the data are read and processed and written in two frame memories 10, 11 alternately. Then the data in the frame memories 10, 11 not executing write are alternately read and merged and outputted to synchronize the write timing with the read timing.



LEGAL STATUS

[Date of request for examination] 02.04.2001

[Date of sending the examiner's decision of rejection] 29.03.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(10) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-163182

(13) 公開日 平成9年(1997)6月20日

(5) Inv.Cl. H04N 5/073 5/93 7/32	識別記号 H04N 5/073 5/93 7/32	序内整理番号 PI H04N 5/073 5/93 7/137	技術表示箇所 B A Z
---	------------------------------------	---	-----------------------

審査請求 未請求 請求項の数 2 OL (全 8 頁)

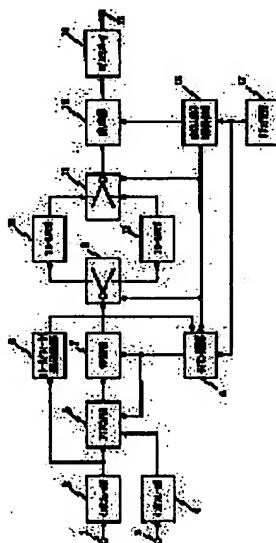
(21) 出願番号 特願平7-321562	(71) 出願人 日立電子株式会社 東京都千代田区神田和泉町1番地
(22) 出願日 平成7年09月12月11日	(72) 発明者 国原 伸郎 東京都小平市御幸町32番地 日立電子株式会社小金井工場内
	(72) 発明者 小山 駿明 東京都小平市御幸町32番地 日立電子株式会社小金井工場内
	(72) 発明者 岩野 康夫 東京都小平市御幸町32番地 日立電子株式会社小金井工場内

(50) [発明の名称] フレーム同期方式

(51) [要約]

【課題】 1つの画面に新しい映像と古い映像どが存在することなく、また大容量のメモリも必要とせず、さらに複雑な制御方法も不要としたデータ伝送のフレーム同期方式の実現を目的とする。

【解決手段】 映像信号をデジタル化し圧縮して伝送する装置において、受信側のデータ伸張処理部より前段にメモリを備え、該メモリに1フレームもしくは1フィールド以上の伝送されたデータを伝送速度に同期させて書きし、受信側で発生した同期信号に同期させて、上記データを読み出し信号処理後、2つのフレームメモリに交互に書き込みを行ない、書き込みを実施していないフレームメモリ内のデータを交互に読み出し、合成して出力することにより、書き込みと読み出しのタイミングを同期させることができる。



【特許請求の範囲】

【請求項 1】 映像信号をデジタル化して伝送する装置において、受信側の信号処理部より前段にメモリを備え、該メモリに 1 フレームもしくは 1 フィールド以上の伝送されたデータを伝送速度に同期させて蓄積し、受信側で発生した同期信号に同期させて、上記データを読み出し信号処理後、2 つのフレームメモリに交互に書き込みを行ない、書き込みを実施していないフレームメモリ内のデータを交互に読み出し、合成して出力することを特徴とするフレーム同期方式。

【請求項 2】 請求項 1において、映像信号をデジタル化し圧縮して伝送するものとし、受信側の信号処理部をデータを伸張する伸張処理部とし、上記信号処理部の前段に備えたメモリを FIFO メモリとしたことを特徴とするフレーム同期方式。

【発明の詳細な説明】

【000-1】

【発明の属する技術分野】 本発明は、映像信号をデジタル信号に変換して伝送する場合に、送信側と受信側との映像信号のフレームもしくはフィールドの同期を取る方式に関するものである。

【000-2】

【従来の技術】 ビデオカメラからの映像信号をデジタル化して圧縮（もしくは、デジタル処理）をして伝送する場合、従来は次のようにしていた。まず送信側では、図 2 に示すように、ビデオカメラからの映像信号を、A/D コンバータ 1 によってデジタル信号に変換し、同期信号分離部 2-0 によって同期信号を抽出し、位相同期部 2-1 により、ビデオカメラからの映像信号の同期を取り、湿度情報、カラー信号の場合には更に色の情報を抽出して、切り換え部 2-3 を介して、フレームメモリ 2-4、2-5 に格納する。フレームもしくはフィールドの情報を、切り換え部 2-3 により、その単位毎に、それぞれ切り換えて、フレームメモリ 2-4 もしくはフレームメモリ 2-5 に交互に格納する。これらの情報を圧縮、もしくはディジタル処理をして伝送路へ送り出す場合、メモリ 2-4、2-5 の内容を読み出して、圧縮もしくはデジタル処理を行う。

【000-3】 これは、フレームメモリへの書き込みと読み出しを同時にすることが難しく、またビデオカメラからの映像信号は、30 フレーム/秒又は 60 フィールド/秒で、次から次へと送り出されてくるので、フレームメモリを 2 個準備しておき、一方のフレームメモリ 2-4 にビデオカメラからの映像信号を書き込んでいる間に、もう一方のフレームメモリ 2-5 から読み出して圧縮処理を行う。そして、次のフレームもしくはフィールドの信号がビデオカメラからきたときには、逆にフレームメモリ 2-5 にビデオカメラからの映像信号を書き込み、フレームメモリ 2-4 から読み出しを行う。切り換え部 2-3 と切り換え部 2-5 とは、このように同期して、

書き込みと読み出しを交互に行なうように動作する。切り換え部 2-5 の映像信号出力は、圧縮部 2-7 で画像圧縮され、FIFO (First In First Out) メモリ 2-8 に入力される。

【000-4】 ここで、この圧縮されたデータを伝送路へ送出するわけであるが、一般的に、ビデオカメラからの映像信号の同期信号の周波数と伝送路の伝送速度とは、周波数も勿論異なるし、位相同期も取れておらず、非同期である。そのため、一旦 FIFO のようなバッファに入力して、その出力を伝送路の速度に合わせて送出する。つまり、FIFO メモリ 2-8 への入力は、圧縮部 2-7 の出力タイミングで行ない、FIFO メモリ 2-8 からの出力は、伝送路のタイミング、すなはちクロック信号入力端子 3-2 から入力されてインターフェース部 3-1 で変換したクロックにより行なう。したがって、FIFO メモリ 2-8 の入力側以前は、ビデオカメラからの映像信号に同期しており、また FIFO メモリ 2-8 の出力側以降は、伝送路のタイミングに同期していることになる。

【000-5】 一方、受信側では、図 3 に示すように、受信側からの圧縮信号を、受信データ入力端子 1 で受け取り、インターフェース部 3-3 により信号変換する。この信号を FIFO メモリ 5 に入力する。入力のタイミングは、クロック入力端子 2 からのクロック信号を、インターフェース部 4 で信号変換したクロックを用いる。そして、FIFO メモリ 5 の内容を伸張部 7 に供給し、伸張部 7 において送信側で圧縮された画像データを再生する。FIFO メモリ 5 の出力は、伸張部 7 の動作タイミングに合わせて行なう。

【000-6】 伸張部 7 の出力は、フレームメモリ 1-0 とフレームメモリ 1-1 に、フレームもしくはフィールドの単位で交互に出力してそれぞれに格納する。ここで、フレームもしくはフィールド単位で格納するために、フレームもしくはフィールドの先頭および終端検出部 6 では、FIFO メモリ 5 からの出力から、フレームもしくはフィールドの先頭と終端を検出して、フレームもしくはフィールドの単位で切り換え部 9 の接点を切り換えて、フレームメモリ 1-0、1-1 に、交互に、伸張された画像データを格納する。ただし、ここでは、受信した圧縮データを伸張してフレームもしくはフィールドの終端を検出するまで、一つのフレームメモリ、例えば、フレームメモリ 1-0 に伸張後のデータを格納する。そして、次のフレームもしくはフィールドの先頭を検出したときに、切り換え部 9 の接点を切り換え、今度はフレームメモリ 1-1 に伸張後のデータを格納する。この場合も、そのフレームもしくはフィールドの終端を検出するまで、フレームメモリ 1-1 に格納する。同様に、次のフレームもしくはフィールドの先頭を検出したときに、切り換え部 9 の接点をフレームメモリ 1-0 側に切り換え、伸張後のデータを格納する。これを繰り返して、フレームメモリ 1-0 と 1-1 に交互に格納していく。

【00-07】FIFOメモリ5は、伝送路のタイミングと伸張部7との位相を合わせるためにだけ必要なものであり、フレームメモリ10、11に書き込まれるタイミングは、あくまでも伝送路のタイミングに依存したものになってしまいます。切り換え部12の出力は、垂直および水平同期信号発生部16からのそれぞれの同期信号と合成部13で合成され、D/Aコンバータ14によりアナログ信号に変換され、映像信号として出力される。この映像信号をモニタなどに入力して映像を表示する、ここで、垂直および水平同期信号発生部16からの同期信号により、フレームもしくはフィールドの単位が決るので、切り換え部12の切り換えは垂直および水平同期信号発生部16からの同期信号に従って行われる。

【00-08】

【発明が解決しようとする課題】以上説明したように、切り換え部12は、受信データのタイミングによって切り換えが行われ、切り換え部12は、受信側内部で発生した同期信号によって切り換えが行われる。つまり、切り換え部9と切り換え部12とは、非同期のタイミングで切り換えが行われる。また、伝送路のタイミングは、送信側の同期信号とは非同期であり、受信側で発生される同期信号は、受信側で独立に発生させるので、映像信号に関しては送信側と受信側では、全く非同期となってしまう。受信側でのフレームメモリにおいて、非同期の場合には、次に示すような不具合が生じる。図4に示すように、書き込みと読み出しのタイミング位相がずれてくると、フレームメモリ10とフレームメモリ11とにまたがった書き込みのタイミングで、読み出しを行なわれはならない状態が発生してしまう。従って、このまで動作を行うと、メモリを書き換え中に読み出して表示することになり、1つの画面の中で、新しい映像と古い映像とが存在してしまう。

【00-09】これを解決する方法としては、フレームメモリをもう1式追加して、書き込みが2つのフレームメモリにまたがる状態が発生したときには、3つ目のフレームメモリから読み出すようにすれば良い。ただし、3つのフレームメモリを時系列で、しかも書き込みの状態を把握しながら、切り換え制御をしなければならず、非常に複雑な制御方法となる。また、フレームメモリ自身も、追加するメモリも、伸張後のフレームもしくはフィールドのデータを格納する大きな容量のものが必要となる。カラー信号を伝送する場合には、輝度成分の他に色成分の情報も伝送しなければならず、メモリはさらに大容量のものが必要となる。本発明はこれらの欠点を除去し、1つの画面に新しい映像と古い映像とが存在することなく、また大容量のメモリも必要とせず、さらに複雑な制御方法も不要とすることを目的とする。

【00-10】

【課題を解決するための手段】本発明は上記の目的を達成するため、受信側において、回線インターフェースビデ

ー又伸張等の信号処理部との間に、1フレーム以上の容量のFIFOメモリを持ち、これにより、FIFOメモリの入力側以前は伝送速度に同期して動作し、FIFOメモリの出力以降は受信側で発生させた同期タイミングで動作をさせるようにしたものである。その結果、フレームメモリには、読み出しのタイミングに同期したタイミングで書き込まれることになり、2つのフレームメモリにまたがって書き込みをしている時に読み出しをする状態はなくなり、必ず書き込みと読み出しのタイミングは同期するようになり、一方のフレームメモリに書き込みをしている間に、もう一方のフレームメモリを読み出し、また逆のフレームメモリに書き込みをしている間に別のフレームメモリを読み出すということができるようになる。

【00-11】

【発明の実施の形態】以下、この発明の一実施例を、図1により詳細に説明する。まず、送信側では、図2に示すように、ビデオカメラからのカラー映像信号（NTSC信号）は、A/Dコンバータ19により、デジタル信号に変換される。そして、NTSC信号の中に含まれる垂直・水平の同期信号を、同期信号分離部20にて分離し、位相同期部21にてタイミング抽出して、内部にこれらに同期したタイミング信号を作成する。これらのタイミング信号を使って、フレームメモリ24、25への画面の各画素の輝度情報、色情報のデータをゾーピングして、フレームメモリ24、25に書き込む。そして、1フレーム分のデータ（もしくは1フィールド分のデータ）を一方のフレームメモリ24に書き込む。

そして、次のフレーム（フィールド）のデータを、もう一方のフレームメモリ25に書き込む。この切り換えを垂直同期信号に同期させて、切り換え部23で行なう。

【00-12】切り換え部23は、切り換え部23とは、必ず、相反したフレームメモリ側を選択するように切り換えられる。つまり、切り換え部23の接点が、フレームメモリ24の方に接しているときには、切り換え部25の接点はフレームメモリ25の方に接し、逆に切り換え部23の接点がフレームメモリ25の方に接しているときには、切り換え部26の接点はフレームメモリ24の方に接するように制御される。この切り換えは、NTSC信号のため、フレーム動作では30フレーム/秒、フィールド動作では60フィールド/秒間隔で切り換えられることになる。切り換え部26の接点が接した方のフレームメモリの中のデータを読み出して、圧縮部27で画像圧縮を行う。

【00-13】そして、この圧縮された画像データを伝送路に送出するが、通常は、伝送速度とこの圧縮出力の速度とが相違するため、この差を吸収するためにFIFOメモリ28を入れる。つまり、FIFOメモリ28に、圧縮部27の出力をその出力速度に合わせて書き込む。

そして、FIFOメモリ2日の出力では、伝送路の速度に合わせてFIFOメモリ2日の内容を読み出し、出力する。そして、伝送路のインターフェース部29からのクロック信号に差し、信号を変換して伝送路に出力する。勿論、圧縮以降の動作は、1フレーム(約33ms)もしくは1フィールド(約16ms)の時間内に動作がすべて完了させるものとする。

【00-14】このようにして、送信側より送出された画像圧縮データを、受信側で受信するわけであるが、これを図1を用いて説明する。伝送路からの受信データ入力端子1を介した圧縮画像データは、インターフェース部3で、伝送路のインターフェースから受信側内部に合わせた信号に変換される。このインターフェース部3の出力は、伝送速度のタイミングでFIFOメモリ5に入力される。また、伸張部7以降の動作は、クロック発生部17により発生させたクロックを基準に動作する。FIFOメモリ5の内容は、伸張部7のタイミングで読み出されて、伸張部7で伸張され、圧縮された画像データが再生されて、切り換え部9に出力される。この出力のタイミングは、フレームもしくはフィールドの先頭および終端検出部8にて、フレームもしくはフィールドの先頭と終端が検出されるので、FIFOメモリ5に1フレームもしくは1フィールド分のデータが入ったことを確認し、しかもタイミング検出部8にて垂直および水平同期信号発生器16のタイミングに合わせて、その分のデータをフレームメモリ10に入力する。

【00-15】そして、次の1フレームもしくは1フィールド分のデータがFIFOメモリ5に入ったことを同様に確認して、切り換え部9の接点を切り換えてその分のデータをフレームメモリ11に書き込む。このようにして、1フレームもしくは1フィールド毎に、切り換え部9の接点を切り換えて、交互にフレームメモリ10と11とに書き込みをしていく。切り換え部12は、切り換え部9と相反するフレームメモリ10または11に接点が切り替わるように制御される。つまり、伸張部7の出力をフレームメモリ10に書き込んでいる間に、フレームメモリ11のデータは、切り換え部12を介して合成部13に出力される。合成部13では、垂直および水平の同期信号を、クロック発生部17からのクロックにより、垂直および水平同期信号発生部16にて作成し、フレームメモリ11から得た輝度情報、色情報と合成し、更にこのデジタル信号をD/Aコンバータ14によりアナログ信号に変換する。このアナログ信号は、映像信号のNTSC信号となり、映像信号出力端子15を介してモニタ等に出力されて、圧縮された映像が表示される。

【00-16】以上説明したように、本実施例は、切り換え部9および12では、垂直および水平同期信号発生部16のタイミングに合わせて、その接点の切り換えを行

うているので、書き込み中のフレームメモリを読み出すことなく、必ず書き込み中のフレームメモリとは反対のフレームメモリを読み出すことになる。したがって、モニタなどに表示される映像は1つの画面の中に新しいフレーム(もしくはフィールド)の映像と古いフレーム(もしくはフィールド)の映像が混在することはない。なお、FIFOメモリ5は、従来技術に比べて大きな容量が必要ではあるが、フレームメモリを1式追加して、3式とする場合に比べて少ない。なぜなら、通常、圧縮率としては、1:5から1:40、もしくはそれ以上なので、伸張部7で伸張されたデータを格納すれば良いので、メモリの容量も同様の比率で非常に少なくて済む。また、フレームメモリを3式にした場合のその切り換え制御方法は非常に複雑であるが、本発明では、FIFOメモリ5は、シリアルに入力されたデータを、シリアルに出力すれば良いし、またフレームメモリも2式であれば、交互に切り換えるだけでよいから、メモリの切り換え制御も簡単である。上記実施例では、送信側においてアナログの映像信号をデジタルの映像信号に変換し、受信側において、再び、アナログ信号に変換することで説明したが、送信側の入力信号がもともとデジタルの信号であっても、また受信側の出力信号がデジタル信号であっても、本発明は同様に適用可能である。

【00-17】

【発明の効果】本発明によれば、2つのフレームメモリにまたがって書き込みをしている時に読み出しをする状態がなくなり、必ず、書き込みと読み出しのタイミングは同期するようになり、一方のフレームメモリに書き込みをしている間に、もう一方のフレームメモリを読み出し、また逆のフレームメモリに書き込みをしている間に別のフレームメモリを読み出すということができるようになる。したがって、モニタなどに表示される映像は1つの画面の中に新しいフレーム(もしくはフィールド)の映像と古いフレーム(もしくはフィールド)の映像が混在することはない。また、FIFOメモリではシリアルに入力されたデータをシリアルに出力すれば良いし、またフレームメモリも2式であれば、交互に切り換えるだけでよいから、メモリの切り換え制御も簡単となる。

【図面の簡単な説明】

【図1】本発明の全体構成を示すブロック図

【図2】本発明を説明するための送信側のブロック図

【図3】従来技術の構成を示すブロック図

【図4】フレームメモリ間の書き込みと読み出しのタイミング位相を示す模式図

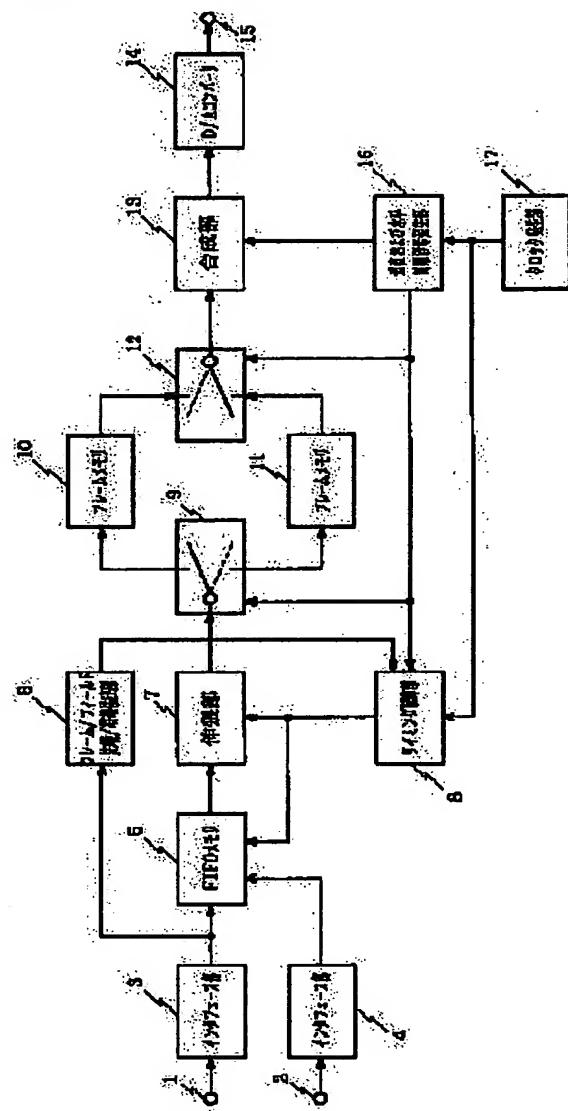
【符号の説明】

- 1: 受信データ信号入力端子、2: クロック信号入力端子、3, 4: インターフェース部、5: FIFOメモリ、6: フレームもしくはフィールドの先頭および終端検出部、7: 伸張部、8: タイミング制御部、9, 12: 切り換え部、10, 11: フレームメモリ、13: 合成

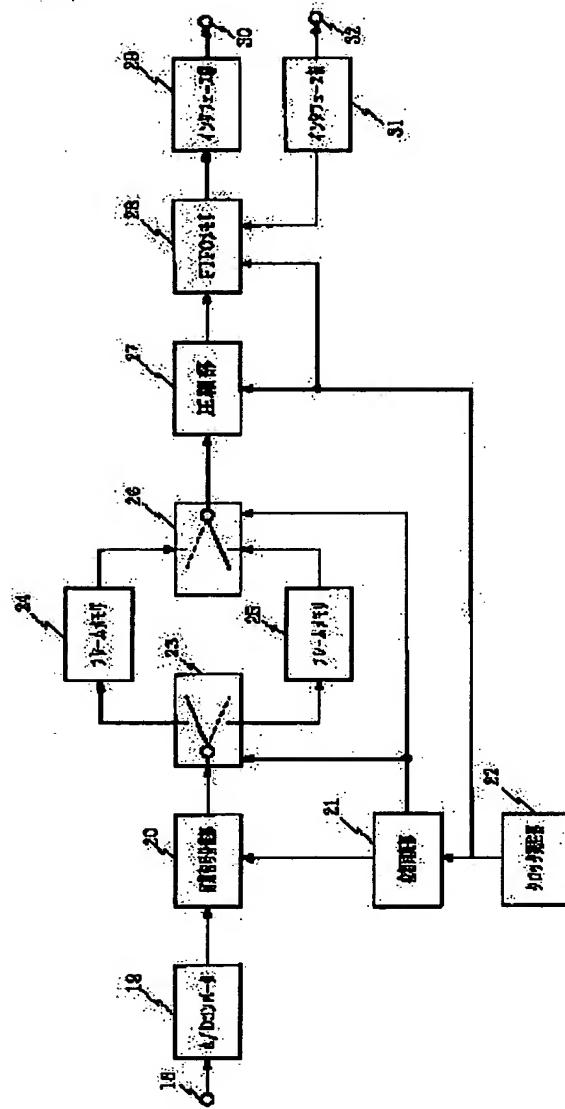
部、14:D/Aコンバータ、15:映像信号出力端子、16:垂直および水平同期信号発生部、17:クロ

ック発生部

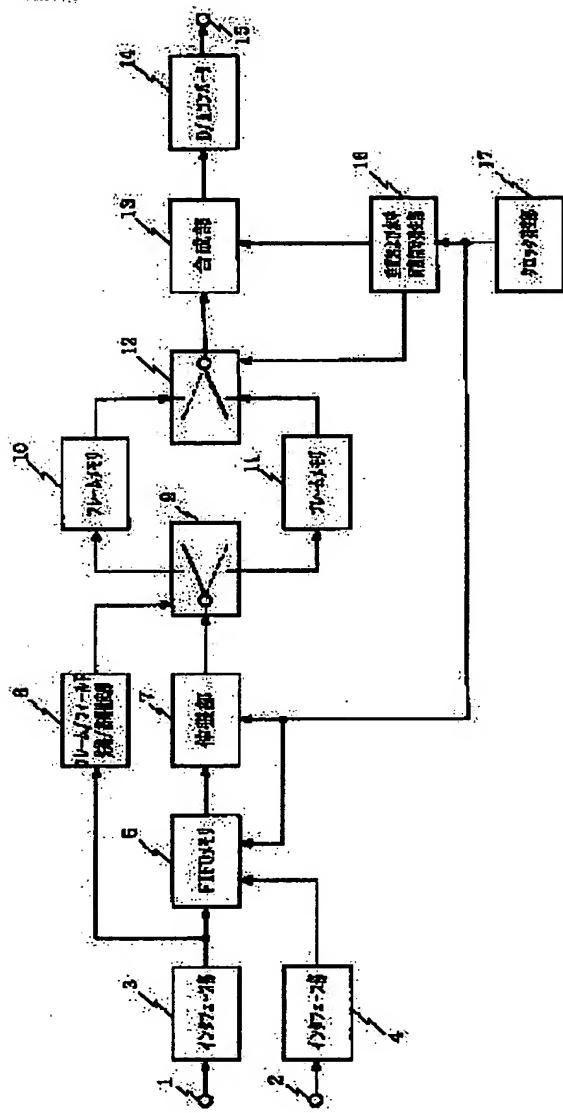
【図1】



〔图2〕



(图3)



【図9】

